

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-335253

(43)Date of publication of application : 17.12.1996

(51)Int.Cl.

G06K 17/00

G11B 5/39

H01L 43/08

(21)Application number : 07-166914

(71)Applicant : SANKYO SEIKI MFG CO LTD

(22)Date of filing : 08.06.1995

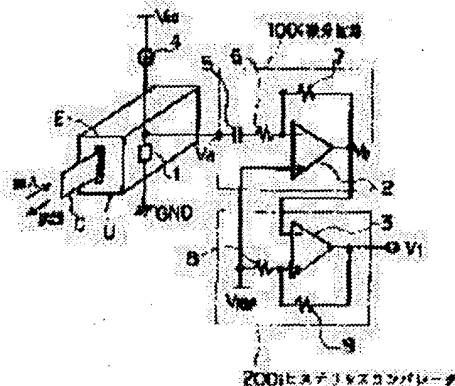
(72)Inventor : YAMAMOTO HISASHI
MARUYAMA SHIGEYA

(54) DETECTING CIRCUIT FOR INSERTION AND EJECTION OF MAGNETIC CARD INTO AND FROM MAGNETIC CARD READER

(57)Abstract:

PURPOSE: To provide a magnetic card insertion, and ejection detecting circuit which prevents misdetection and surely and accurately detects the insertion and ejection of a magnetic card as for a magnetic card insertion and ejection detecting circuit that uses an MR element.

CONSTITUTION: This circuit is constituted so as to generates its output only when the terminal voltage V_a across the magneto-resistance element 1 has the same frequency with that of magnetism data on the magnetic card Ck, and never generates the detection output when a magnetic body other than the magnetic card approaches or leaves the circuit and can accurately and securely detects the magnetic card being inserted and ejected.



LEGAL STATUS

[Date of request for examination] 29.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2989757

[Date of registration] 08.10.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8-335253

(43) 公開日 平成8年(1996)12月17日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 K 17/00			G 0 6 K 17/00	A
G 1 1 B 5/39			G 1 1 B 5/39	
H 0 1 L 43/08			H 0 1 L 43/08	Z

審査請求 未請求 請求項の数 4

F D

(全 5 頁)

(21) 出願番号 特願平7-166914

(22) 出願日 平成7年(1995)6月8日

(71) 出願人 000002233

株式会社三協精機製作所

長野県諏訪郡下諏訪町5329番地

(72) 発明者 山本 久

長野県諏訪郡原村10801番地の2 株式会社
三協精機製作所諏訪南工場内

(72) 発明者 丸山 栄家

長野県諏訪郡原村10801番地の2 株式会社
三協精機製作所諏訪南工場内

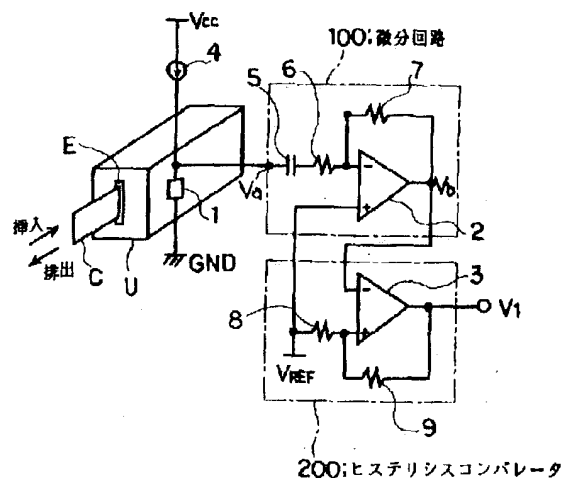
(74) 代理人 弁理士 後藤 隆英

(54) 【発明の名称】 磁気カードリーダーの磁気カード挿入排出検出回路

(57) 【要約】

【目的】 MR素子を用いた磁気カード挿入排出検出回路に関し、誤検出を防止し、磁気カードの挿入排出を確実かつ正確に検出する磁気カード挿入排出検出回路を提供する。

【構成】 磁気抵抗素子1の端子電圧 V_a が磁気カードCの着磁データの周波数と同等の周波数を有するものである場合にのみ出力を生じるように構成し、磁気カード以外の磁性体の接近離間によっては検出出力を生じることがなく、磁気カードの挿入排出を正確かつ確実に検出することができる。



【特許請求の範囲】

【請求項1】 磁気カードリーダの磁気カード挿入排出口の近傍に設置された磁気抵抗素子と、前記磁気抵抗素子に電流を供給する電源と、前記磁気カードの挿入または排出時に生ずる前記磁気抵抗素子の端子電圧が、当該磁気カードの着磁データの周波数と同等の周波数を有する場合にのみ、当該端子電圧を通過させる信号処理回路と、を備えたことを特徴とする磁気カードリーダの磁気カード挿入排出検出回路。

【請求項2】 磁気カードリーダの磁気カード挿入排出口の近傍に設置された磁気抵抗素子と、前記磁気抵抗素子に電流を供給する電源と、前記磁気抵抗素子の端子電圧の比較的高周波数成分を通過させる高域通過フィルタと、前記高域通過フィルタの出力電圧と基準電圧とを比較するヒステリシスコンパレータと、を備えたことを特徴とする磁気カードリーダの磁気カード挿入排出検出回路。

【請求項3】 磁気カードリーダの磁気カード挿入排出口の近傍に設置された磁気抵抗素子と、前記磁気抵抗素子に電流を供給する電源と、前記磁気抵抗素子の端子電圧の所定帯域成分を通過させる帯域通過フィルタと、前記帯域通過フィルタの出力電圧と基準電圧とを比較するヒステリシスコンパレータと、を備えたことを特徴とする磁気カードリーダの磁気カード挿入排出検出回路。

【請求項4】 請求項1乃至3のいずれかに記載の発明において、前記電源は定電流源または定電圧源であることを特徴とする磁気カードリーダの磁気カード挿入排出検出回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、磁気カードリーダの磁気カード挿入排出検出回路に係り、特にMR (Magnetic Resistance: 磁気抵抗) 素子を用いた磁気カード挿入排出検出回路に関する。

【0002】

【従来の技術】一般に、磁気カードに書き込まれたデータを読み取る装置として、磁気カードリーダが知られている。磁気カードリーダには、当該磁気カードの挿入排出を検出するための磁気カード挿入排出検出回路が備えられている。従来の磁気カード挿入排出検出回路には、検出センサとして巻線型ヘッドを用いたものと、MR素子を用いたヘッド (MRヘッド) を用いたものがある。

【0003】巻線型ヘッドは高価であり、最近ではMRヘッドを用いたものが多く使用されている (特開平6-187617号公報参照)。この従来例は、磁気カード挿入スリット付近にMR素子を内設し、MR素子の端子電圧を増幅した後、コンパレータによりデジタル信号に変換して検出信号を出力するようにした構成がとられている。

【0004】

【発明が解決しようとする課題】しかしながら、上記従来例は、誤検出の点で問題となる。すなわち、上記従来例によれば、磁気カード挿入スリット付近に磁気カード以外の磁性を帯びた物質または物体例えば、磁石、強磁性体等を接近させた場合にも、MR素子が反応してしまい、その抵抗変化による検出信号をそのまま増幅するものであるため、磁気カード以外の磁性体でも誤って出力してしまう恐れがあるからである。

【0005】したがって、本発明の目的は、誤検出を防止し、磁気カードの挿入排出を確実かつ正確に検出することが可能な磁気カード挿入排出検出回路を提供することにある。

【0006】

【課題を解決するための手段】上記課題を解決するために、請求項1に記載の発明は、磁気カードリーダの磁気カード挿入排出口の近傍に設置された磁気抵抗素子と、前記磁気抵抗素子に電流を供給する電源と、前記磁気カードの挿入または排出時に生ずる前記MRヘッドの端子電圧が、当該磁気カードの着磁データの周波数と同等の周波数を有する場合にのみ、当該端子電圧を通過させる信号処理回路と、を備えて構成される。

【0007】請求項2に記載の発明は、磁気カードリーダの磁気カード挿入排出口の近傍に設置された磁気抵抗素子と、この磁気抵抗素子に電流を供給する電源と、前記磁気抵抗素子の端子電圧の比較的高周波数成分を通過させる高域通過フィルタと、前記高域通過フィルタの出力電圧と基準電圧とを比較するヒステリシスコンパレータと、を備えて構成される。

【0008】請求項3に記載の発明は、磁気カードリーダの磁気カード挿入排出口の近傍に設置された磁気抵抗素子と、この磁気抵抗素子に電流を供給する電源と、前記磁気抵抗素子の端子電圧の所定帯域成分を通過させる帯域通過フィルタと、前記帯域通過フィルタの出力電圧と基準電圧とを比較するヒステリシスコンパレータと、を備えて構成される。

【0009】請求項4に記載の発明は、請求項1乃至3のいずれかに記載の発明において、前記電源は定電流源または定電圧源として構成される。

【0010】

【作用】請求項1に記載の発明によれば、磁気カードリーダの磁気カード挿入排出口の近傍に設置された磁気抵抗素子に電源から電流が供給され、MRヘッドの端子電圧が生じる。磁気カードを挿入または排出すると、MRヘッドの端子電圧が変化する。信号処理回路は、この端子電圧の変化が磁気カードの着磁データの周波数と同等の周波数を有する場合にのみ出力を生じ、磁気カードの挿入排出を検出することができる。したがって、磁気カード挿入排出口付近に磁気カード以外の磁性を帯びた物質または物体、例えば、磁石、強磁性体等が接近した場合、MRヘッドの端子電圧の変化は磁気カードの場合よ

りも低い周波数となり、信号処理回路からの出力はなく、誤検出することはない。

【0011】請求項2によれば、磁気カードを挿入または排出すると、MRヘッ드의端子電圧が変化する。高域通過フィルタは、磁気抵抗素子の端子電圧の変化が比較的高い周波数である場合その端子電圧を通過させる。この端子電圧はヒステリシスコンパレータにおいて基準電圧と比較される。ヒステリシスコンパレータは端子電圧が基準電圧を越える場合に出力を生じ、端子電圧の変化をデジタル信号に変換する。このデジタル信号が磁気カードの挿入排出検出信号となる。したがって、磁気カード挿入排出口付近に磁気カード以外の磁性を帯びた物質、例えば、磁石、強磁性体等が接近、離間したとしても、MRヘッ드의端子電圧の変化は単発的で周波数の低いものとなり、この低い周波数のノイズは高域通過フィルタで遮断されてヒステリシスコンパレータに入力されることはなく、誤検出を防止できる。

【0012】請求項3によれば、磁気カードを挿入または排出すると、MRヘッ드의端子電圧が変化する。帯域通過フィルタは、磁気抵抗素子の端子電圧の変化が所定の周波数である場合その端子電圧を通過させる。この端子電圧はヒステリシスコンパレータにおいて基準電圧と比較される。ヒステリシスコンパレータは端子電圧が基準電圧を越える場合に、出力を生じ、端子電圧の変化をデジタル信号に変換する。このデジタル信号が磁気カードの挿入排出検出信号となる。したがって、磁気カード挿入排出口付近に磁気カード以外の磁性を帯びた物質、例えば、磁石、強磁性体等が接近、離間したとしても、MRヘッ드의端子電圧の変化は単発的で周波数の低いものとなり、この低周波数ノイズは帯域通過フィルタで遮断される。また、MRヘッ드의端子電圧にモータの回転に伴う高周波数ノイズ等が混入した場合にも帯域通過フィルタで遮断されるので、この高周波数ノイズがヒステリシスコンパレータに入力されることはなく、誤検出を防止できる。

【0013】請求項4によれば、請求項1乃至3のいずれかに記載の発明において、電源として定電流源または定電圧源を用いることにより、検出精度の温度依存性等を排除することができ、動作の安定性、性能の維持が可能となる。

【0014】

【実施例】次に、本発明の好適な実施例を図面に基づいて説明する。

【0015】(I) 第1実施例

図1に、本発明に係る磁気カード挿入排出検出回路の第1の実施例を示す。図1に示すように、磁気カードリーダーUには磁気カードCの磁気カード挿入排出口Eが設けられ、この磁気カード挿入排出口Eの近傍における磁気カードリーダーUの内部にMR素子1が設置されている。

【0016】磁気カード挿入排出検出回路は、MR素子

1およびMR素子1に付随する回路と、信号処理回路であるハイパスフィルタ100と、ヒステリシスコンパレータ200を有して構成される。

【0017】MR素子1には動作の安定性を維持するために定電流源4が接続され、直流電源Vccと接地GNDとの間で一定の電流が供給される。なお、定電流源4は定電圧源としてもよい。MR素子1の高電位側端子にはハイパスフィルタ100が接続されている。

【0018】ハイパスフィルタ100はオペアンプ2を用いた微分回路で構成され、オペアンプ2の反転入力端子(−)にコンデンサ5(C[F])および入力抵抗6(R1[Ω])が直列に接続され、非反転端子(+)には基準電圧VREFが与えられる。7(R2[Ω])はフィードバック抵抗を示している。オペアンプ2の出力端にはヒステリシスコンパレータ200が接続されている。

【0019】図2に、ハイパスフィルタ100の信号伝達特性を示す。図2からわかるように、ハイパスフィルタ100はカットオフ周波数 $=1/2\pi CR1$ [Hz]の遮断特性を有する。このカットオフ周波数は、予想される磁気カードCの着磁パターンと磁気カードCの挿入排出動作速度を勘案して適宜設定する。

【0020】ヒステリシスコンパレータ200はオペアンプ3を有し、オペアンプ3の反転入力端子(−)にオペアンプ2の出力電圧Vbが入力され、非反転端子(+)には基準電圧VREFが入力抵抗8を介して与えられる。オペアンプ3の出力端から検出力電圧V1が出力される。

【0021】次に、図3および図4を参照して図1の回路動作を説明する。まず、図3(a)に示すように着磁された磁気カードCが挿入または排出されると、MR素子1の端子電圧Vaは磁気カードCの着磁パターンに対応して図3(b)のように変化する。この端子電圧Vaはハイパスフィルタ100のオペアンプ2に入力され、図3(c)のような微分波形の出力電圧Vbに変換、増幅されて出力される。この出力電圧Vbは、ヒステリシスコンパレータ200において基準電圧VREFと比較され、出力電圧Vbのうち次式で表される不感帯を越える負の電圧が出力され、図3(d)に示すデジタル信号に変換されて検出力電圧V1として出力される。ここに、不感帯電圧は

$$VREF \pm VREF \times R3 / (R3 + R4)$$

である。換言すると、ヒステリシスコンパレータ200に入力される出力電圧Vbが上記不感帯電圧の領域内にある場合にはヒステリシスコンパレータ200から出力されることがない。

【0022】一方、図4(a)に示すように、磁気カードC以外の磁性体(例えば、磁石、強磁性体等)11が磁気カード挿入排出口Eに接近、離間した場合、図4(b)に示すように、MR素子1の端子電圧Vaは磁性

体11の磁力の強さに対応して図4(b)のように変化する。この端子電圧Vaはハイパスフィルタ100のオペアンプ2に入力され、図4(c)のような微分波形の出力電圧Vbに変換、増幅されて出力される。この出力電圧Vbは、ヒステリシスコンパレータ200において基準電圧VREFと比較されるが、磁性体11の接近、離間によって生じた出力電圧Vbは磁気カードCの場合と比較して小振幅の出力となり、不感帯電圧を越える大きさの電圧とはならない。したがって、この場合の出力電圧Vbは、図4(d)に示すように電源電圧VCCの直流電圧の検出出力電圧V1として出力される。

【0023】このように、磁気カードCが挿入排出された時にのみ図3(d)のような時系列的に連続するデジタル信号の検出出力電圧V1が出力され、磁気カードC以外の磁性体11が接近離間した場合には変化のない直流電圧の検出出力電圧V1が出力されるので、疑似的な検出信号の発生を防止できる。

【0024】(II)第2実施例

図5および図6に本発明の第2実施例を示す。この第2実施例は、他の信号処理回路を用いて構成した例を開示する。本実施例において、第1実施例(図1)と異なるのは、バンドパスフィルタ101の構成である。その他の部分は第1実施例と同様なのでその詳細な説明は省略する。

【0025】図5に示すように、バンドパスフィルタ101のオペアンプ2には10(C2[Ω])が接続され、図6に示す信号伝達特性を有している。バンドパスフィルタ101の通過帯域は、低域側は第1実施例と同様に予想される磁気カードCの着磁パターンと磁気カードCの挿入排出動作速度を勘案して適宜設定し、高域側については当該磁気カードリーダの設置される環境、すなわち例えばモータ等の近傍等での存在が予想されるノイズの周波数を考慮して設定する。このように、バンドパスフィルタ101を用いることにより、誤動作の発生確率を効果的に抑制することができる。

【0026】

【発明の効果】以上の通り、請求項1乃至4に記載の発明によれば、磁気抵抗素子の端子電圧が磁気カードの着磁データの周波数と同等の周波数を有するものである場

合にのみ出力を生じるように構成したので、磁気カード以外の磁性体の接近離間によっては検出出力を生じることがなく、磁気カードの挿入排出を正確かつ確実に検出することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す回路ブロック図である。

【図2】第1実施例におけるハイパスフィルタ100の信号伝達特性を示す特性図である。

【図3】第1実施例における磁気カードの場合の回路動作を示す信号波形図である。

【図4】第1実施例における磁気カード以外の場合の回路動作を示す信号波形図である。

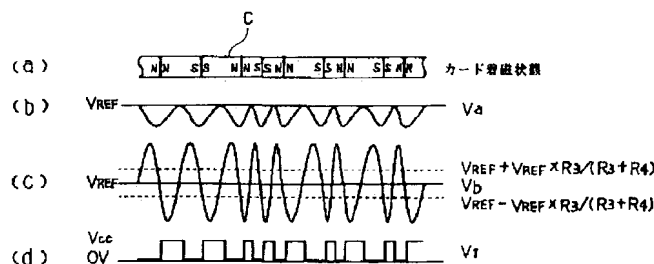
【図5】本発明の第2実施例を示す回路ブロック図である。

【図6】第2実施例におけるバンドパスフィルタ101の信号伝達特性を示す特性図である。

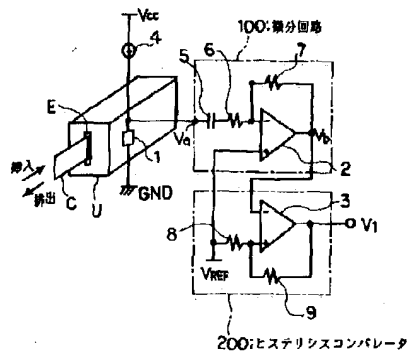
【符号の説明】

- 1 MR素子
- 2 オペアンプ
- 3 オペアンプ
- 4 定電流源
- 5 コンデンサ(C1)
- 6 入力抵抗(R1)
- 7 フィードバック抵抗(R2)
- 8 入力抵抗(R3)
- 9 フィードバック抵抗(R4)
- 10 フィードバックコンデンサ(C2)
- 11 磁性体
- 100 ハイパスフィルタ
- 101 バンドパスフィルタ
- 200 ヒステリシスコンパレータ
- U 磁気カードリーダ
- C 磁気カード
- E 磁気カード挿入排出口
- Va MR素子の端子電圧
- Vb 出力電圧
- V1 検出出力電圧
- VREF基準電圧

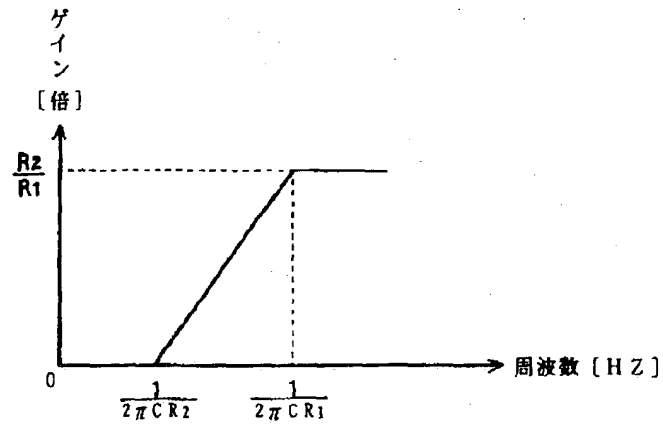
【図3】



【図1】

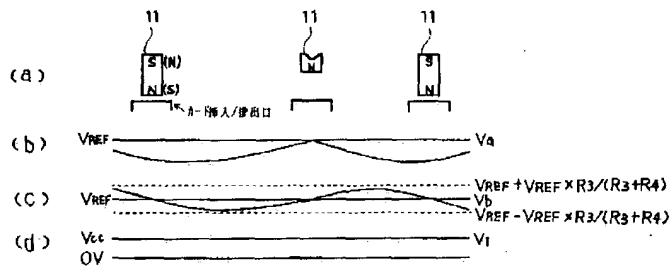


【図2】

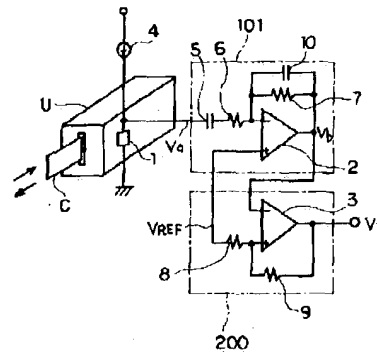


微分回路100の入出力伝達特性

【図4】



【図5】



【図6】

